

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 9 月 29 日 (29.09.2005)

PCT

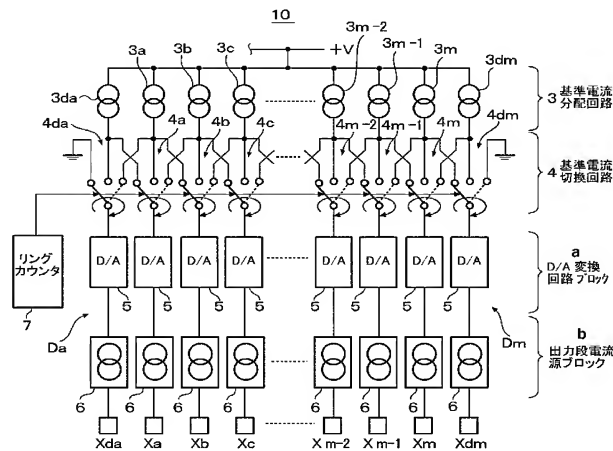
(10) 国際公開番号  
WO 2005/091266 A1

- (51) 国際特許分類: G09G 3/30, 3/20 (ABE, Shinichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2005/005124
- (22) 国際出願日: 2005 年 3 月 22 日 (22.03.2005) (74) 代理人: 梶山 信是, 外(KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (30) 優先権データ: 特願2004-087014 2004 年 3 月 24 日 (24.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 前出 淳 (MAEDE, Jun) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 阿部 真一 (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: ORGANIC EL DRIVE CIRCUIT AND ORGANIC EL DISPLAY USING SAME

(54) 発明の名称: 有機 EL 駆動回路およびこれを用いる有機 EL 表示装置



3... REFERENCE CURRENT DISTRIBUTING CIRCUIT  
4... REFERENCE CURRENT SWITCHING CIRCUIT  
7... RING COUNTER  
a... D/A CONVERSION CIRCUIT BLOCK  
b... OUTPUT STAGE CURRENT SOURCE BLOCK

(57) Abstract: Selection circuits (4) are provided between current generation circuits (3) provided correspondingly to the output terminals (X) of a driver (10) and current sources (5, 6). Either a predetermined current of the current generation circuit (3b) corresponding to each selection circuit (4b) or a predetermined current from the current generation circuits (3a, 3c) adjacent to the current generation circuit (3b) is selected according to the row side scanning. As a result even if there is a variation of the reference current of each current generation circuit (3) or even if the current conversion accuracy of a D/A (5) for conversing the display data according to the reference current is somewhat low, the luminance variation and luminance irregularity of an organic EL display are reduced while suppression an increase of circuit scale.

[続葉有]

WO 2005/091266 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

ドライバ(10)の各出力端子(X)に対応して設けられた各電流発生回路(3)と各電流源(5, 6)との間に選択回路(4)をそれぞれ設けて、各前記選択回路(4b)に対応する電流発生回路(3b)の所定の電流とこれに隣接する電流発生回路(3a, 3c)からの所定の電流とのいずれかをロー側走査に対応して選択することにより、各電流発生回路(3)の基準電流にばらつきがあっても又は表示データを基準電流に従って変換するD/A(5)の電流変換精度が多少悪くても、回路規模の増加を抑えた上で有機EL表示装置の輝度ばらつきや輝度むらを低減する。

## 明 細 書

有機EL駆動回路およびこれを用いる有機EL表示装置

技術分野

[0001] この発明は、有機EL駆動回路およびこれを用いる有機EL表示装置に関し、詳しくは、有機ELパネルのカラムライン(有機EL素子の陽極側ドライブライン、以下同じ)を駆動する電流駆動回路において、カラムラインに対応して設けられるドライバの各出力端子に対応してそれぞれ生成される各基準電流にばらつきがあってもあるいは表示データを基準電流に従って変換するD/Aの電流変換精度が多少悪くても表示装置の製品毎の輝度ばらつきや表示装置の輝度むらを低減することできる有機EL駆動回路に関する。

背景技術

[0002] 携帯電話機、PHS、DVDプレーヤ、PDA(携帯端末装置)等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個(132×3)の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの駆動回路として、カラムピン対応にD/A変換回路(以下D/A)を設けたこの出願人の特開2003-234655号の出願がある(特許文献1)。これは、カラムピン対応に設けられたD/Aが表示データと基準駆動電流とを受けて、基準駆動電流に従って表示データをD/A変換してカラムピン対応にカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成する。

特許文献1:特開2003-234655号公報

[0003] 消費電力を低減するために、前記のD/Aの電源電圧は、例えば、DC3V程度と低く抑えられ、最終段の出力段電流源の電源電圧だけを、例えば、DC15V〜20Vとし、D/Aが、各カラムピン(あるいは各出力端子)対応に分配された基準電流を受けて有機EL素子(以下OEL素子)の駆動電流の元となる電流を生成して出力段電流源を駆動する。これにより電流駆動回路全体の消費電力を低く抑えている。

しかし、前記のD/Aは、IC化した場合にピン対応に設ける必要があるので、その

占有面積を抑えるために、現在のところ、4ビット〜6ビット程度のものとなっている。

各D/Aに加えられる前記の基準駆動電流は、基準電流分配回路によりカラムドライバの各出力端子対応に分配された基準電流である。基準電流分配回路は、入力側トランジスタ1に対して出力側トランジスタn(nは出力端子数に対応)のカレントミラー回路で構成され、基準電流発生回路からの基準電流をカレントミラー回路の入力側トランジスタで受けて、ドライバICの各出力端子対応に設けられた出力側トランジスタで各出力端子対応のD/Aに電流分配をそれぞれする。なお、ドライバICの各出力端子は、有機ELパネルの各カラムピンにそれぞれ接続されるので各カラムピンに対応している。

## 発明の開示

### 発明が解決しようとする課題

[0004] 有機ELパネルのドライバICは、R、G、Bのカラーでもそれぞれに30ピン以上の各出力端子が設けられ、これら出力端子に対応して設けられたD/Aに対して基準電流分配回路で多数の出力端子数分の基準電流を生成して分配するために、基準電流分配回路の出力側トランジスタの特性の相違とその配置の関係とから、分配する各基準電流にばらつきが生じ易い。それが表示装置の製品ごとの輝度ばらつきや表示装置の輝度むらとなって現れてくる。

有機ELパネルの駆動回路が4ビット〜6ビット程度のD/Aを使用して出力段電流源を駆動し、各カラムピン(各出力端子)を介してOEL素子をそれぞれに駆動すると、D/Aの電流変換精度が悪いために、カラムピン対応の駆動電流にばらつきを生じ易い。このばらつきは、表示装置の製品毎の輝度ばらつきや表示装置の輝度むらとなった現れてくる。

そのため、ドライバICは、基準電流を調整することに加えて、D/A側に基準電流を調整する調整回路が別途必要になり、それが出力端子対応となることからの占有面積が増える問題がある。

一方、D/A変換精度を向上するために、6ビット以上のD/Aにすると、各カラムピン対応にD/Aを設けなければならない関係上、ドライバICにおいて電流駆動回路の占有面積が大きくなる。その分、出力端子数が多く採れなくなる問題が生じる。

この発明の目的は、このような従来技術の問題点を解決するものであって、ドライバの出力端子対応に生成される各基準電流にばらつきがあってもあるいは表示データを基準電流に従って変換するD/Aの電流変換精度が多少悪くても回路規模の増加を抑えて表示装置の輝度ばらつきや輝度むらを低減することできる有機EL駆動回路および有機EL表示装置を提供することにある。

### 課題を解決するための手段

[0005] このような目的を達成するためのこの発明の有機EL駆動回路およびこれを用いる有機EL表示装置の特徴は、駆動電流あるいはその基礎となる電流を有機ELパネルの多数のカラムピンあるいは端子ピンにそれぞれ接続される各出力端子対応に発生して前記有機ELパネルを電流駆動する有機EL駆動回路において、

各前記出力端子に対応して設けられ所定の電流を各前記出力端子対応にそれぞれ発生する多数の電流発生回路と、各前記出力端子に対応して設けられ各前記出力端子対応に各前記電流発生回路からそれぞれに前記所定の電流を受けて前記駆動電流あるいはその基となる電流を各前記出力端子対応にそれぞれ発生する多数の電流源と、各前記出力端子に対応して設けられた各前記電流発生回路と各前記電流源との間に各前記出力端子に対応にそれぞれ設けられた多数の選択回路とを備えていて、

各前記選択回路が自己が割当てられた前記出力端子に対応する前記電流発生回路の前記所定の電流か、この電流発生回路に隣接する前記出力端子に対応する前記電流発生回路からの前記所定の電流かのいずれかをロー側走査あるいは走査線走査に対応して選択するものである。

### 発明の効果

[0006] このように、この発明は、ドライバの各前記出力端子に対応して設けられた各電流発生回路と各電流源との間に所定の電流（基準電流あるいは基準駆動電流）を選択する選択回路をそれぞれ設けて、自己が割当てられた出力端子に対応する電流発生回路の所定の電流か、これに隣接する電流発生回路からの所定の電流か、のいずれかをロー側走査に対応して選択するようにしている。そして、例えば、この選択を水平1ラインのロー側走査あるいは走査線走査に応じて行うようにする。

これにより、各電流源には自己が割当てられた出力端子に対応する電流発生回路からの所定の電流（基準電流あるいは基準駆動電流）とこの電流発生回路に隣接する電流発生回路からの所定の電流（基準電流あるいは基準駆動電流）とが時分割で加えられることになる。これに応じて各出力端子からOEL素子に出力される各駆動電流が水平1ラインのロー側走査あるいは走査線走査に応じて時分割されて異なる基準電流に基づいて発生することになる。

このようにすれば、基準電流値が時間的に平均化されることで、OEL素子の輝度のむらは、時間積分されて輝度むらが平均化されたものになる。

この基準電流値の時間的に平均化により表示装置の製品ごとの輝度ばらつきや表示装置の輝度むらが抑えられる。

また、各選択回路は、各前記出力端子に対応して設けられた各電流発生回路と駆動電流あるいはその基となる電流を発生する各電流源との間に設けられるので、OEL素子に出力される駆動電流より以前の位置となり、切換対象となる電流を小さく抑えることができる。そのため、各選択回路全体からなる回路の回路規模を低減することができる。特に、2乃至3個程度の切換回路が設けられる場合であってもこの発明における輝度ばらつきや輝度むらに対する低減効果は大きい。

その結果、この発明は、ドライバの出力端子対応に生成される各基準電流にばらつきがあってもあるいは表示データを基準電流に従って変換するD/Aの電流変換精度が多少悪くても回路規模の増加を抑えて表示装置の輝度ばらつきや輝度むらを低減することができる。

### 発明を実施するための最良の形態

[0007] 図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバにおける基準電流切換回路を中心とするブロック図、図2は、基準電流切換回路におけるマルチプレクサとリングカウンタとの接続関係の説明図、図3は、基準電流切換処理のタイミング信号の説明図、そして、図4は、有機ELパネルのカラムドライバを中心とする全体的なブロック図である。

図4において、10は、有機ELパネルにおける有機EL駆動回路としてのカラムICドライバ（以下カラムドライバ）である。このカラムドライバ10は、基準電流発生回路1と、

基準電流設定回路2、電流分配回路3、基準電流切換回路4、D/A変換回路(D/A)5、出力段電流源6、リングカウンタ7、レジスタ8等とからなる。D/A5と出力段電流源6とは、それぞれ各出力端子 $X_a \sim X_m$ に対応して設けられている。また、有機ELパネルがカラー表示装置の場合には、基準電流設定回路2と電流分配回路3とは、R(赤)、G(緑)、そしてB(青)に対応してそれぞれ設けられ、D/A5と出力段電流源6もそれぞれR、G、Bの各出力端子に対応して設けられる。

R、G、Bのそれぞれの回路構成は、同様であるので、以下ではR、G、Bの区別をせずに実施例を説明する。

[0008] 基準電流設定回路2は、4ビット程度のD/A変換回路(D/A)2aが設けられていて、ホワイトバランス調整のためにR、G、Bそれぞれの表示色に対応する調整された基準電流 $I_r$ を発生する。基準電流 $I_r$ の調整は、それぞれのD/A2aに設定される変換データと基準電流 $I_{ref}$ とに基づいて行われる。基準電流設定回路2は、基準電流発生回路1からの基準電流 $I_{ref}$ で駆動される。4ビットのデータは、装置外部から入力データとしてMPU7に供給されてMPU7からレジスタ2bに記憶されて各D/A2aに設定される。D/A2aは、レジスタ2bに記憶されたデータをD/A変換して所定の基準電流値の電流を基準電流 $I_r$ として生成する。生成された基準電流 $I_r$ は、カレントミラー回路の電流分配回路3(以下カレントミラー回路3)の入力側のトランジスタ $T_{ra}$ に供給される。これにより出力側トランジスタ $T_{rb}$ から $T_{rn}$ のそれぞれに基準電流 $I_r$ が発生して、各出力端子 $X_a \sim X_m$ 対応に基準電流 $I_r$ が分配される。

[0009] カレントミラー回路3は、入力側のPチャネルMOSFETトランジスタ $T_{ra}$ と、これとカレントミラー接続される出力側のPチャネルMOSFETトランジスタ $T_{rb} \sim T_{rn}$ とを有していて、トランジスタ $T_{ra} \sim T_{rn}$ のソースは、電源ライン+V(=+3V)に接続されている。なお、出力側の各トランジスタ $T_{rb} \sim T_{rn}$ は、それぞれ各出力端子 $X_a \sim X_m$ に対応して設けられている。

カレントミラー回路3は、さらに、入力側のトランジスタ $T_{ra}$ にカレントミラー接続される出力側のPチャネルMOSFETトランジスタ $T_{da}$ 、 $T_{dm}$ を有している。これらは、ダミー回路 $D_a$ 、 $D_m$ を構成するためのトランジスタである。これについては後述する。トランジスタ $T_{rb} \sim T_{rn}$ のドレインは、基準電流切換回路4を介して各出力端子 $X_a \sim X_m$ に

対応してそれぞれがそれぞれに対応するD/A5にあるいはこれに隣接するD/A5の1つに選択的に接続される。それぞれのドレインからの出力電流 $I_r$  (基準電流 $I_r$ )は、接続されたD/A5の基準駆動電流となる。これにより各出力端子 $X_a \sim X_m$ のうち自己に割当てられた出力端子に対応するD/A5に入力される基準電流 $I_r$ とこれに隣接する出力端子に対応するD/A5に入力される基準電流 $I_r$ とが所定の周期で基準電流切換回路4により選択されて、選択された基準電流 $I_r$ の1つが自己に割当てられた出力端子に対応するD/A5に入力される。

言い換えれば、各出力端子 $X_a \sim X_m$ のうち自己に割当てられた出力端子に対応するD/A5は、自己に割当てられた出力端子に対応する基準電流 $I_r$ ばかりでなく、自己に割当てられた出力端子に隣接するD/A5に入力される基準電流 $I_r$ も受ける。

これにより、自己に割当てられた出力端子に対応するD/A5は、自己に割当てられた出力端子に対応する出力段電流源6の駆動電流を所定の周期で隣接する出力端子に対応する異なる基準電流 $I_r$ に基づいて時分割で発生することになる。

その結果、基準電流値が時間的に平均化されて、OEL素子の駆動電流が時間的に積分されて輝度むらが平均化される。

[0010] 各D/A5は、MPU11からレジスタ8を介して表示データを受けて基準電流設定回路2で生成された基準電流 $I_r$ を表示データ値分電流増幅してそのときどきのOEL素子の表示輝度に応じた駆動電流を生成し、この駆動電流に応じてそれぞれに出力段電流源6を駆動する。

各出力段電流源6は、それぞれ一対のトランジスタからなるカレントミラー回路で構成され、カラム側の出力端子 $X_a \sim X_m$ を介して駆動電流 $i$ を有機ELパネルの各OEL素子の陽極にそれぞれ出力する。

スイッチ回路SWR1, SWR2, …SWR $m$ は、図2に示すように、出力端子 $X_a \sim X_m$ に対応に設けられたリセットスイッチであり、各出力端子を定電圧 $V_{Zr}$ にリセットするものである。これらリセットスイッチSWR1, SWR2, …SWR $m$ は、リセットコントロールパルスRS (あるいはリセットパルス) をコントロール回路12から受け、リセット期間にONになる。これによりOEL素子の陽極側がツェナーダイオードDZRの持つ定電圧 $V_{Zr}$ に設定されてOEL素子がプリチャージ (あるいは定電圧リセット) される。なお、このとき



には、OEL素子の陰極側は、所定のタイミングでグラウンドGNDに接続される。

[0011] ここで、基準電流切換回路4は、リセット期間においてリングカウンタ7から基準電流切換パルスSELを受けて連続する3個の基準電流 $I_r$ の1つを順番に水平周波数の周期に対応して選択して各出力端子 $X_a \sim X_m$ のうち自己に割当てられた出力端子に対応するD/A5に入力する。3個の基準電流 $I_r$ は、電流分配回路3で分配された自己に割当てられた出力端子に対応する基準電流 $I_r$ 、これに隣接する両側の出力端子に対応する2個の基準電流 $I_r$ のそれぞれである。

図2に示すように、リングカウンタ7は、3段のフリップフロップFFからなり、入力と出力とが接続されたものであり、コントロー回路12からのロッククロックRCLKに応じて(あるいはリセットコントロールパルスRS)に応じて、初段にセットされたビット“1”を順次次段にシフトして、最終段にあるビットは初段に戻して順次ビット“1”を循環させる。

リングカウンタ7の各段の出力は、各マルチプレクサ $4a \sim 4m$ ,  $4da$ ,  $4dm$ (図2参照)に基準電流切換パルスSELとして送出される。この基準電流切換パルスSELは、3個の端子選択パルスSEL1, SEL2, SEL3からなる。

なお、ロッククロックRCLK(図3(b)参照)もリセットコントロールパルスRS(図3参照)も水平走査のためのコントロール信号であり、水平1ラインの走査周波数に対応している。そこで、リングカウンタ7は、ロッククロックRCLKに応じてビット“1”をシフトさせる。

[0012] 図1に戻り、図1に示す電流源 $3a \sim 3m$ は、カレントミラー回路3の出力側トランジスタ $T_{rb} \sim T_{rn}$ を電流源としてそれぞれ表したものである。電流源 $3a$ が出力側トランジスタ $T_{rb}$ に対応し、電流源 $3b$ が出力側トランジスタ $T_{rc}$ に対応し、以下順に電流源 $3m$ が出力側トランジスタ $T_{rn}$ に対応する。

図1, 図4に示すように、カラムドライバ10には出力端子 $X_a \sim X_m$ に対応する出力のほか、ダミー出力端子 $X_{da}$ ,  $X_{dm}$ を持つダミー回路 $D_a$ ,  $D_m$ が設けられている。ダミー回路 $D_a$ ,  $D_m$ は、最初のマルチプレクサ $4a$ と最後のマルチプレクサ $4m$ には隣接する出力端子がないので、隣接するものとしてそれぞれに設けられる。

基準電流切換回路4は、出力端子 $X_a \sim X_m$ にそれぞれ対応するマルチプレクサ $4a \sim 4m$ とダミー出力端子 $X_{da} \sim X_{dm}$ に対応して設けられたマルチプレクサ $4da$ ,  $4dm$ と

からなる。このダミー出力端子 $X_{da}$ — $X_{dm}$ は、出力端子 $X_a$ — $X_m$ に対応するマルチプレクサ $4_a$ — $4_m$ が、各出力端子 $X_a$ — $X_m$ のうち自己に割り当てられた出力端子に対応する基準電流 $I_r$ とこれの隣接する両側の出力端子に対応する2個の基準電流 $I_r$ の合計3個のうち1つを選択できるようにするためである。そのため、出力端子 $X_a$ の前と出力端子 $X_m$ の後ろとにダミー出力端子とマルチプレクサ $4_{da}$ ,  $4_{dm}$ とが必要になる。

[0013] ダミー回路 $D_a$ ,  $D_m$ は、それぞれカレントミラー回路3の出力側としてトランジスタ $Tr_b$ の手前にダミーの出力側トランジスタ $T_{da}$ が設けられ、トランジスタ $Tr_n$ の後ろにダミーの出力側トランジスタ $T_{dm}$ が設けられている。これらトランジスタのそれぞれを電流源 $3_{da}$ ,  $3_{dm}$ として表している。

なお、図4では、ダミー回路 $D_a$ ,  $D_m$ は、説明の都合上、このような配置にはなっていないが、ここでの電流源 $3_a$ — $3_m$ と電流源 $3_{da}$ ,  $3_{dm}$ は、それぞれにカレントミラー回路3の出力側トランジスタであって、それぞれ分配された基準電流 $I_r$ を発生するこの発明における電流発生回路に相当する。

これら電流源 $3_{da}$ ,  $3_{dm}$ に対応して $D/A5$ と出力段電流源6が同様にダミー回路として設けられ、そして、ダミー回路としての出力段電流源6の出力は、ダミーの出力端子 $X_{da}$ ,  $X_{dm}$ にそれぞれ接続されている。

各マルチプレクサ $4_a$ — $4_m$ とマルチプレクサ $4_{da}$ ,  $4_{dm}$ とは、それぞれ3入力—1出力の選択回路である。3個の入力端子は、出力端子 $X_a$ — $X_m$ にそれぞれ対応するカレントミラー回路3の出力側トランジスタ $Tr_b$ — $Tr_m$ の出力(ドレイン)とこれらトランジスタの最初と最後のトランジスタの両側に配置されているダミー出力端子 $X_{da}$ ,  $X_{dm}$ に対応する出力側トランジスタ $T_{da}$ ,  $T_{dm}$ の出力(ドレイン)とのトランジスタ配列においてトランジスタの出力が順次1個ずつずれて3個単位で各マルチプレクサの3入力に順次接続されている。各マルチプレクサ $4_a$ — $4_m$ の出力は、出力端子 $X_a$ — $X_m$ のうち自己に割り当てられた出力端子に対応する $D/A5$ の入力にそれぞれ接続されている。

なお、マルチプレクサ $4_{da}$ ,  $4_{dm}$ は、最初の入力端子と最後の入力端子とが接地されている。

[0014] マルチプレクサ $4_a$ は、リングカウンタ7からの基準電流切換パルスSEL(端子選択パルスSEL1, SEL2, SEL3)に応じて循環的に順番に3個の入力端子のうちの1つ

を選択して、各出力端子Xa〜Xmのうち自己に割当てられた出力端子に対応する電流源3aと、その両側にある出力端子に対応する電流源3daと電流源3bとから発生する各基準電流Irのうち1つを自己の出力端子に接続されたD/A5(自己に割当てられた出力端子に対応するもの)に送出する。

同様に、マルチプレクサ4bは、リングカウンタ7からの基準電流切換パルスSELに応じて循環的に順番に3個の入力端子のうちの1つを選択して、自己に割当てられた出力端子に対応する電流源3bと、その両側にある出力端子に対応する電流源3aと電流源3cとから発生する各基準電流Irのうち1つを自己の出力端子に接続されたD/A5(自己に割当てられた出力端子に対応するもの)に送出する。

以下、同様にして、最後のマルチプレクサ4mは、リングカウンタ7からの基準電流切換パルスSELに応じて循環的に順番に3個の入力端子のうちの1つを選択して、電流源3m-1と電流源3mと電流源3dmとから発生する各基準電流Irのうち1つを自己の出力端子に接続されたD/A5(自己に割当てられた出力端子に対応するもの)に送出する。

[0015] 図2は、基準電流切換回路4におけるマルチプレクサとリングカウンタとの接続関係の説明図である。

各マルチプレクサ4a〜4mとマルチプレクサ4da, 4dmとのそれぞれとリングカウンタ7との接続関係は同じであるので、これらを代表して1つのマルチプレクサ40とし、マルチプレクサ40とリングカウンタ7との接続関係を図2に示してある。

リングカウンタ7は、図2に示すように、3段のフリップフロップの最終段の出力が初段の入力に帰還するように接続されたものであり、その初段の出力から端子選択パルスSEL1が発生する。次段の出力から端子選択パルスSEL2が発生する。そして、最終段の出力から端子選択パルスSEL3が発生する。

リングカウンタ7は、ロッククロックRCLK(あるいはリセットコントロールパルスRS)を受けて“1”を次段にビットシフトするので、端子選択パルスSEL1, SEL2, SEL3は、そのうち1つが順番に“1”あるいは“H”(HIGHレベル)になり、残りの2つの端子選択パルスが“0”あるいは“L”(LOWレベル)になる。これにより、3個の入力端子の1つに接続されたアナログスイッチSWA, SWB, SWCが順番にONになり、残りの2つの

アナログスイッチがOFFになる。

なお、リングカウンタ7は、垂直同期信号に相当する1フレームごとに発生するパルスであるロースキャンスタートパルスRSTPに応じて起動される(図3(a)参照)。

[0016] マルチプレクサ40は、3個の入力端子A, B, Cと1個の出力端子Dとを持っている。入力端子A, B, Cと出力端子Dとの間には入力端子A, B, Cに対応してそれぞれにトランSMISSIONゲート等のアナログスイッチSWA, SWB, SWCがそれぞれ設けられている。出力端子Dが各出力端子Xa〜Xmのうち自己に割当られた出力端子に対応するD/A5に接続され、入力端子Bが自己に割当られた出力端子に対応する電流源3iに接続され、入力端子A, Cがこれに隣接する出力端子に対応する図面における左右の電流源3i-1, 3i+1にそれぞれ接続されている。

[0017] 次に、基準電流切換回路4の動作を中心とした全体的な駆動動作について説明する。

図3(a)に示すロースキャンスタートパルスRSTPに応じてリングカウンタ7の初段には、コントロール回路12(あるいはMPU11)から“1”がセットされる。この“1”が図3(b)に示すロックロックRCLKに応じて順次各段を循環していく。なお、図3(c)は、リセットコントロールパルスRSである。

その結果、図3(d)〜(f)に示すように、ロックロックRCLKの立上がりに応じて端子選択パルスSEL1, SEL2, SEL3の1つが順次“H”となり、残りは“L”となる。

これによりアナログスイッチSWA, SWB, SWCの順でこれらのうち1つがロックロックRCLKに応じて順番にONになり、残りがOFFになる。図3(g)に示す3本分のローライン出力(水平方向1ラインのロー側の走査)に対応して各マルチプレクサ40の3個の入力端子A, B, Cの1つが順番に選択されて出力端子Dに接続される。

すなわち、各マルチプレクサ4a〜4mは、端子選択パルスSEL1, SEL2, SEL3によって同時に入力端子A, B, Cのうちの同じ入力端子の側に一度に切換えられる。これにより各マルチプレクサにおいて同じ入力端子が同時に選択される。端子選択パルスSEL1, SEL2, SEL3は、例えば、各マルチプレクサの入力端子をA, B, C, A, B, C…の順に切換えるとする、これにより各マルチプレクサ4a〜4mが、例えば、電流源3i-1、電流源3i、電流源3i+1、電流源3i-1、電流源3i、電流源3i+1…(ただし、i

$=a \sim m$ ,  $3a-1=3da$ ,  $3m+1=3dm$ )の順で入力側の電流源を順次選択し、この選択が繰り返されることになる。

その結果、基準電流切換回路4は、3本分の水平1ラインのロー側走査(垂直方向走査)を単位として各出力端子 $Xa \sim Xm$ のうち自己に割当てられた出力端子に対応する電流源 $3i$ からの基準電流 $I_r$ と、その両側にある出力端子に対応する電流源 $3i-1$ ,  $3i+1$ からの各基準電流 $I_r$ との3つのうち1つを順番に選択して自己に割当てられた出力端子に対応するD/A5に選択した基準電流 $I_r$ を水平1ラインの走査期間+帰線期間の間、送出する。

[0018] なお、ローライン出力は、水平1ライン分のOEL素子の陰極側を所定の電位に同時に接続するものであり、通常、この出力により、水平1ライン分のOEL素子の陰極側がグランドGNDに接続されて、リセットコントロールパルスRSあるいはリセットパルスによる各出力端子 $Xa \sim Xm$ のリセットの後に各電流源 $3a \sim 3m$ ,  $3da$ ,  $3dm$ から駆動電流がカラムラインの各出力端子に送出される。

なお、水平1ライン分の多数のカラムピンへそれぞれ接続される各出力端子は、カラムピン数が多いので、現在のところは複数のカラムドライバ10が担うことになる。

ところで、この実施例では、ロークロックRCLKの立上がりに応じて端子選択パルスSEL1, SEL2, SEL3の1つが順次“H”となり、残りは“L”となる切換えが行われる。しかし、図3(c)に示すように、リセットコントロールパルスRSの立上がりもロークロックRCLKと同じであるので、ロークロックRCLKに換えて、リセットコントロールパルスRSの立上がりに応じて基準電流切換パルスSEL(SEL1, SEL2, SEL3)を発生させてもよい。

[0019] このように、各D/A5は、垂直方向走査(ロー側走査)における3本単位のローライン(水平ライン)の走査に応じて各出力端子 $Xa \sim Xm$ のうち自己に割当てられた出力端子に対応する電流源 $3i$ と自己に隣接する左右の電流源 $3i-1$ ,  $3i+1$ とからそれぞれに基準電流 $I_r$ を受ける。

その結果、それぞれの出力端子 $Xa \sim Xm$ には、垂直方向走査(ロー側走査)における3本単位のローライン(水平ライン)の走査において1水平ラインを単位として時分割で選択された基準電流 $I_r$ により発生した駆動電流が流れる。したがって、基準電流

$I_r$ が平時間的に均化され、出力端子 $X_a \sim X_m$ の基準電流 $I_r$ により発生する駆動電流で駆動されるOEL素子の輝度は、水平3ラインにおけるそれぞれの3つの駆動電流によるそのときどきの輝度むらが時間的に積分されて水平3ラインを単位として輝度むらが平均された輝度になる。

これにより、この実施例では、出力端子に対応する各基準電流にばらつきがあってもあるいはD/Aの電流変換精度が多少悪くて出力端子相互間の駆動電流にばらつきが生じてOEL素子の輝度ばらつきや輝度むらが低減される。

特に、この実施例では、基準電流切換回路4がカレントミラー回路3とD/A5との間に設けられている。これにより、切換られる電流値は、基準電流として $\mu$  A程度の小さな電流値となるので、切換によるノイズはほとんどなく、かつ、切換により発生する無駄な電力消費を低減できる。さらに、切換えられる電流値が小さいことで、トランスミッションゲート等のアナログスイッチSWA, SWB, SWCの回路規模は小さくて済む。

その結果、基準電流切換回路4の回路規模を抑えることができる。

[0020] ところで、実施例の電流分配回路3は、入力側の基準電流 $I_r$ と同じ値の基準電流 $I_r$ をD/Aの基準電流として分配しているが、各出力端子対応に分配される基準電流は、基準電流 $I_r$ を増幅したものであってもよく、必ずしも入力側の基準電流 $I_r$ と同じ値である必要はない。

また、実施例は、3本のロー側の走査ライン(水平1ライン)を単位として3個の基準電流についてマルチプレксаで選択しているが、選択する個数は、3に限定されるものではなく、複数であれば基準電流値 $I_r$ が時間的に平均化され、輝度むらが時間的に積分されて輝度むらを平均化することが可能である。

さらに、実施例では、マルチプレксаの切換えタイミングを水平1ラインを単位としているが、マルチプレксаの切換えは、複数のロー側の走査ラインを単位として $n \times$  水平1ラインの期間ごとに行ってもよい。すべてのローラインの走査期間を単位にしてフレーム単位でロースキャンスタートパルスRSTPに応じてあるいはフレーム単位で垂直同期信号に応じてマルチプレксаの切換えを行うこともできる。したがって、マルチプレксаの切換えは、少なくとも水平1ラインのロー側走査(垂直方向走査)での走査に対応して切換えられればよい。

また、実施例では、リングカウンタ7は、ビット“1”をシフトしているが、リングカウンタ7の各段をオール“1”にリセットしてビット“0”をシフトするようにしてもよい。この場合には“H”、“L”が逆になるので、必要に応じてインバータを設けてアナログスイッチSW A, SWB, SWCを順次ONにすればよい。

ところで、実施例では、カラムドライバ10は1個しか示されていないが、水平方向1ライン分の数の有機ELパネルのカラムピンは、複数のカラムドライバ10の各出力端子に割り振られ、複数のカラムドライバ10で1個の有機ELパネルのカラム方向の駆動を受け持つ場合が多い。したがって、この発明は、カラムドライバ10が複数個設けられていてもよいことはもちろんである。

### 産業上の利用可能性

- [0021] 以上説明してきたが、実施例では、R, G, Bについての回路は記載していないが、この発明は、R, G, Bに対応して基準電流設定回路2、電流分配回路3、基準電流切換回路4、D/A変換回路(D/A)5、出力段電流源6が設けられていてもよいことはもちろんである。

また、この発明は、基準電流についてロー側走査に応じて時間的に平均化するものであるので、パッシブマトリックス型の有機ELパネルに限定されることなく、駆動電流でピクセル回路のコンデンサを充電するアクティブマトリックス型の有機ELパネルについても適用できることはもちろんである。

さらに、出力段電流源は、電流吐き出し型のものに限定されるものではなく、電流シンク型のものであってもよいことももちろんである。

### 図面の簡単な説明

- [0022] [図1]図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバにおける基準電流切換回路を中心とするブロック図である。
- [図2]図2は、基準電流切換回路におけるマルチプレクサとリングカウンタとの接続関係の説明図である。
- [図3]図3は、基準電流切換処理のタイミング信号の説明図である。
- [図4]図4は、有機ELパネルのカラムドライバを中心とする全体的なブロック図である。

。

## 符号の説明

- [0023] 1…基準電流発生回路、2…基準電流生成回路、  
3…電流分配回路、4…基準電流切換回路、  
5…D/A変換回路(D/A)、6…出力段電流源、  
7…リングカウンタ、8…レジスタ、  
10…カラムICドライバ、  
11…MPU、12…コントロール回路、  
4a〜4m, 4da, 4dm, 40…マルチプレクサ。



### 請求の範囲

- [1] 駆動電流あるいはその基礎となる電流を有機ELパネルの多数のカラムピンあるいは端子ピンにそれぞれ接続される各出力端子対応に発生して前記有機ELパネルを電流駆動する有機EL駆動回路において、
- 各前記出力端子に対応して設けられ所定の電流を各前記出力端子対応にそれぞれ発生する多数の電流発生回路と、
- 各前記出力端子に対応して設けられ各前記出力端子対応に各前記電流発生回路からそれぞれに前記所定の電流を受けて前記駆動電流あるいはその基となる電流を各前記出力端子対応にそれぞれ発生する多数の電流源と、
- 各前記出力端子に対応して設けられた各前記電流発生回路と各前記電流源との間に各前記出力端子に対応にそれぞれ設けられた多数の選択回路とを備え、
- 各前記選択回路が自己が割当てられた前記出力端子に対応する前記電流発生回路の前記所定の電流か、この電流発生回路に隣接する前記出力端子に対応する前記電流発生回路からの前記所定の電流かのいずれかをロー側走査あるいは走査線走査に対応して選択する有機EL駆動回路。
- [2] さらに、水平1ラインの前記ロー側走査に対応して所定の制御信号を発生して前記選択回路の選択を切換える制御回路を有し、各前記選択回路は、前記自己に割当てられた出力端子とこれに隣接する前記出力端子とに対応するそれぞれの前記電流発生回路からそれぞれに前記所定の電流を受けこれら受けた前記所定の電流のいずれか1つを前記所定の制御信号に応じて選択して前記自己に割当てられた出力端子に対応する前記電流源に供給する有機EL駆動回路。
- [3] この有機EL駆動回路はドライバICであって、各前記選択回路は、少なくともn個の入力(ただしnは2以上の整数)と1個の出力とを有し前記n個の入力のそれぞれが前記自己に割当てられた出力端子と前記これに隣接する出力端子とに対応するそれぞれの前記電流発生回路からそれぞれに前記所定の電流値を受け、前記1個の出力が前記n個の入力のうちのいずれかに入力された前記所定の電流を前記自己が割当てられた出力端子に対応する前記電流源に供給するものであり、前記所定の制御信号に応じて前記n個の入力のうちの1つを選択する請求項2記載の有機EL駆動

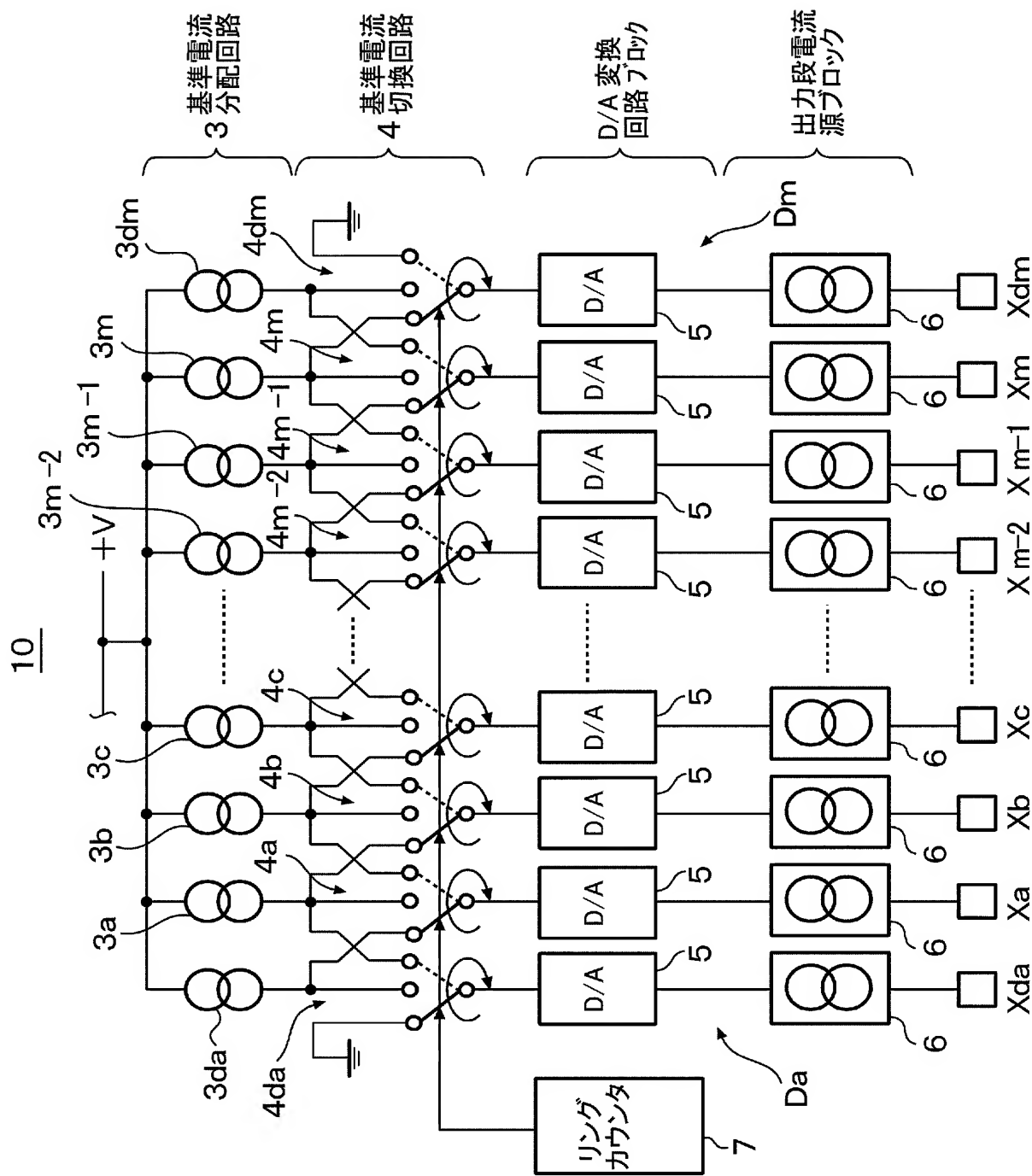
回路。

- [4] 前記多数の電流発生回路は、基準電流を受けてこれと実質的に同じかあるいはこれを電流増幅した電流をそれぞれの各前記出力端子対応に分配して出力する1つの電流分配回路で構成され、前記多数の電流発生回路における前記所定の電流は、各前記出力端子対応に分配された出力電流である請求項3記載の有機EL駆動回路。
- [5] 前記電流分配回路は、入力側トランジスタと出力側トランジスタとの比が1:n(ただしnは各前記出力端子の数かそれ以上の整数)のカレントミラー回路で構成され、前記多数の電流発生回路が多数の前記出力側トランジスタにそれぞれ割当てられ、前記入力側トランジスタに前記基準電流を受けて前記多数の出力側トランジスタに前記所定の電流をそれぞれに発生し、各前記選択回路の前記n個の入力の少なくとも3個は、記自己が割当てられた出力端子とこの出力端子に隣接する両側の前記出力端子とにそれぞれ対応して設けられた前記出力側トランジスタから出力される電流を前記所定の電流値としてそれぞれ受ける請求項4記載の有機EL駆動回路。
- [6] さらに、前記基準電流を発生する基準電流発生回路を有し、各前記出力端子のうちの最初の出力端子と最後の出力端子にそれぞれ隣接して前記電流発生回路と等価のダミーの電流発生回路がそれぞれ設けられ、それぞれの前記等価のダミーの電流発生回路の前記所定の電流が前記最初の出力端子と前記最後の出力端子に対応する前記選択回路の前記n個の入力の1つにそれぞれ入力される請求項5記載の有機EL駆動回路。
- [7] 前記nは3であり、前記選択回路は、各前記出力端子対応に設けられた3入力-1出力のマルチプレクサを有し、前記所定の制御信号は、各前記マルチプレクサにそれぞれ送出され、水平3ライン分のロー側走査を単位として繰り返して発生する請求項6記載の有機EL駆動回路。
- [8] 各前記電流源は、D/A変換回路と前記駆動電流を出力する出力段電流源とからなり、前記D/A変換回路は、前記自己が割当てられた出力端子に対応する前記選択回路により選択された前記所定の電流と表示データとを受けてアナログ変換電流を発生してこれにより前記出力段電流源を駆動する請求項7記載の有機EL駆動回

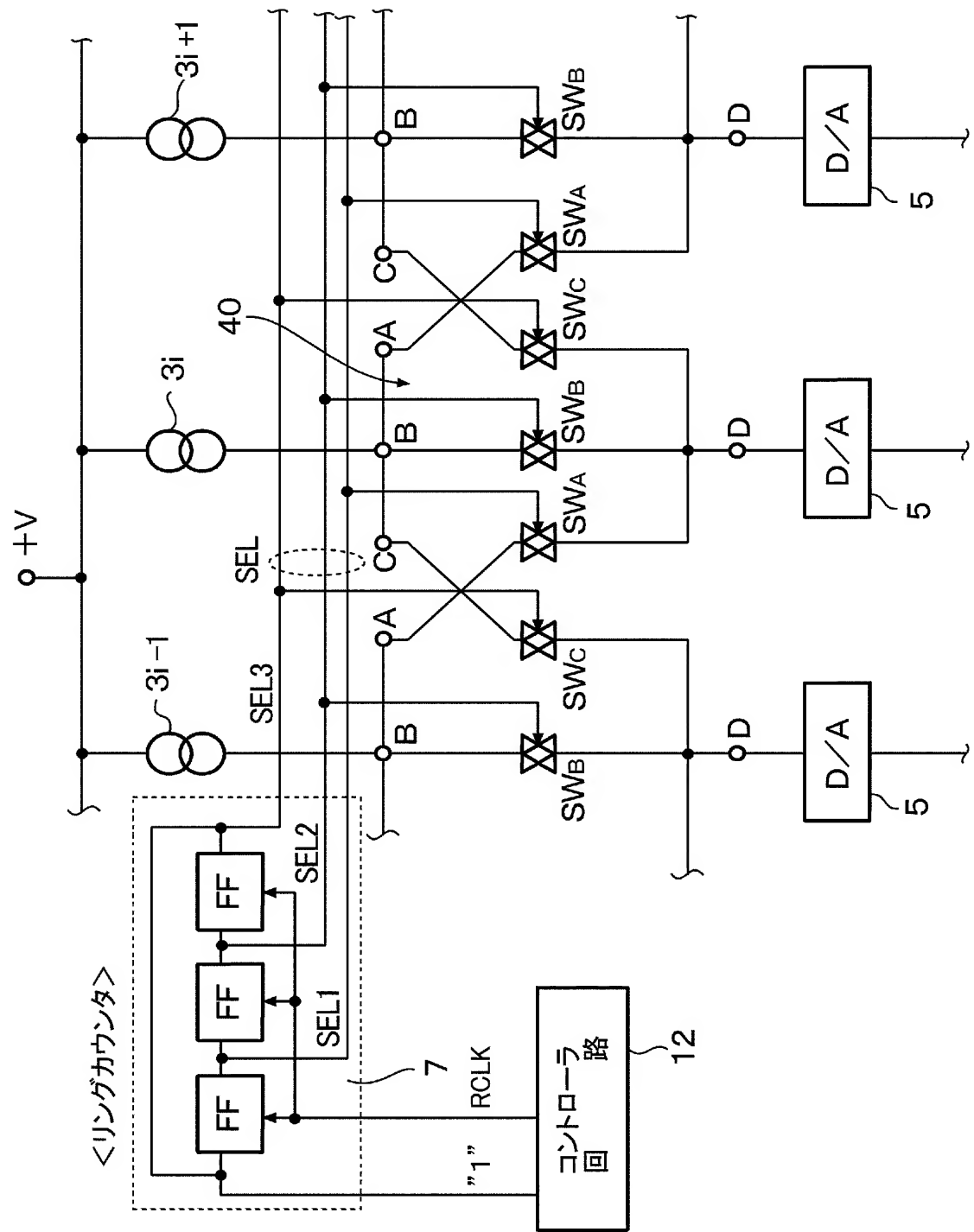
路。

- [9] 前記 $n$ は3であり、前記選択回路は、各前記出力端子対応に設けられた3入力-1出力のマルチプレクサを有し、前記所定の制御信号は、各前記マルチプレクサにそれぞれ送出され、水平3ライン分のロー側走査を単位として繰り返して発生する請求項6記載の有機EL駆動回路。
- [10] 前記制御回路は、 $n$ 段のリングカウンタを有し、前記 $n$ 段の初段から最終段にビット“1”あるいはビット“0”をシフトすることで前記所定の制御信号を発生する請求項6記載の有機EL駆動回路。
- [11] 請求項1〜10のうちのいずれか1項記載の有機EL駆動回路と前記有機ELパネルとを有する有機EL表示装置。

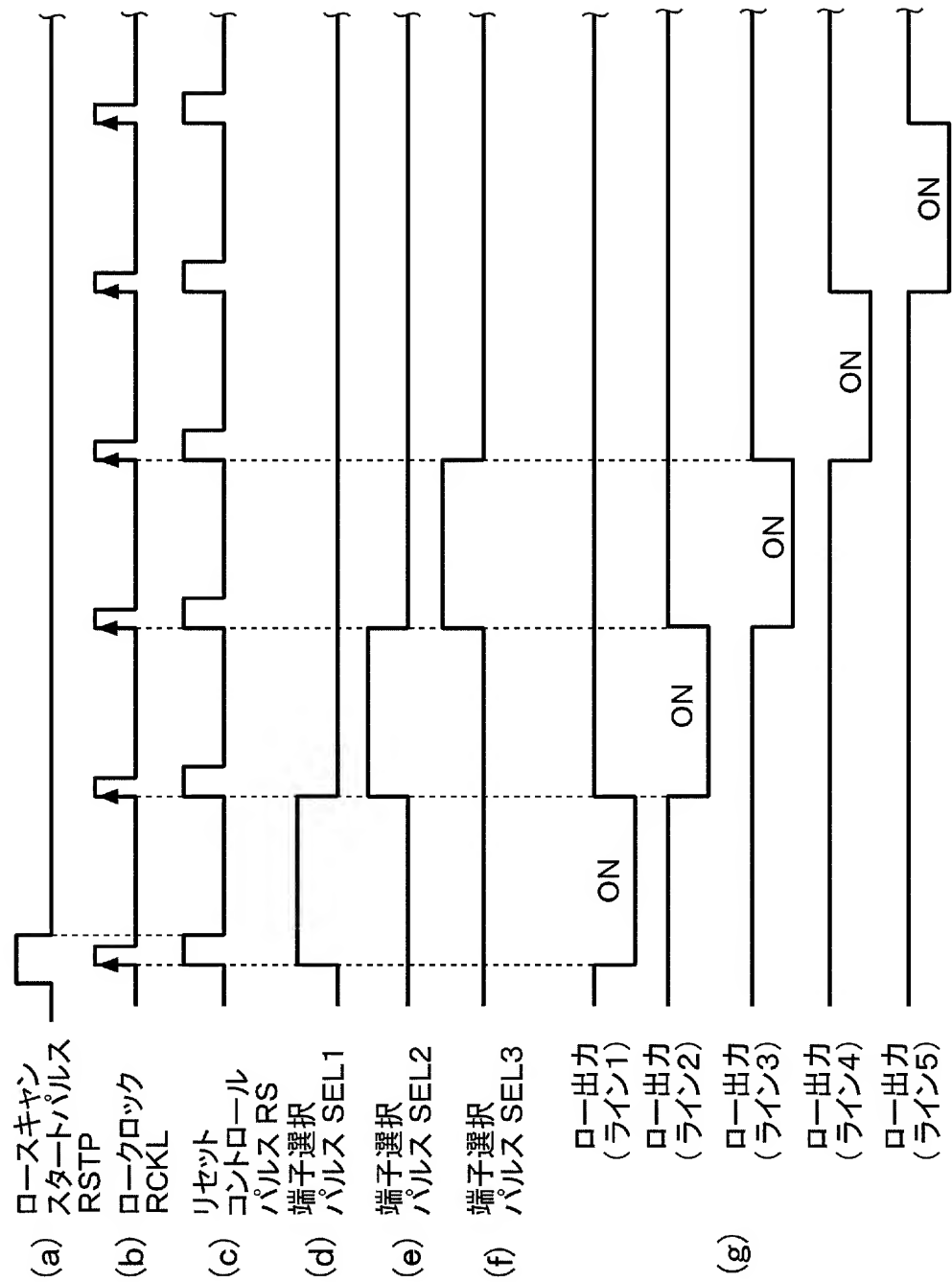
[図1]



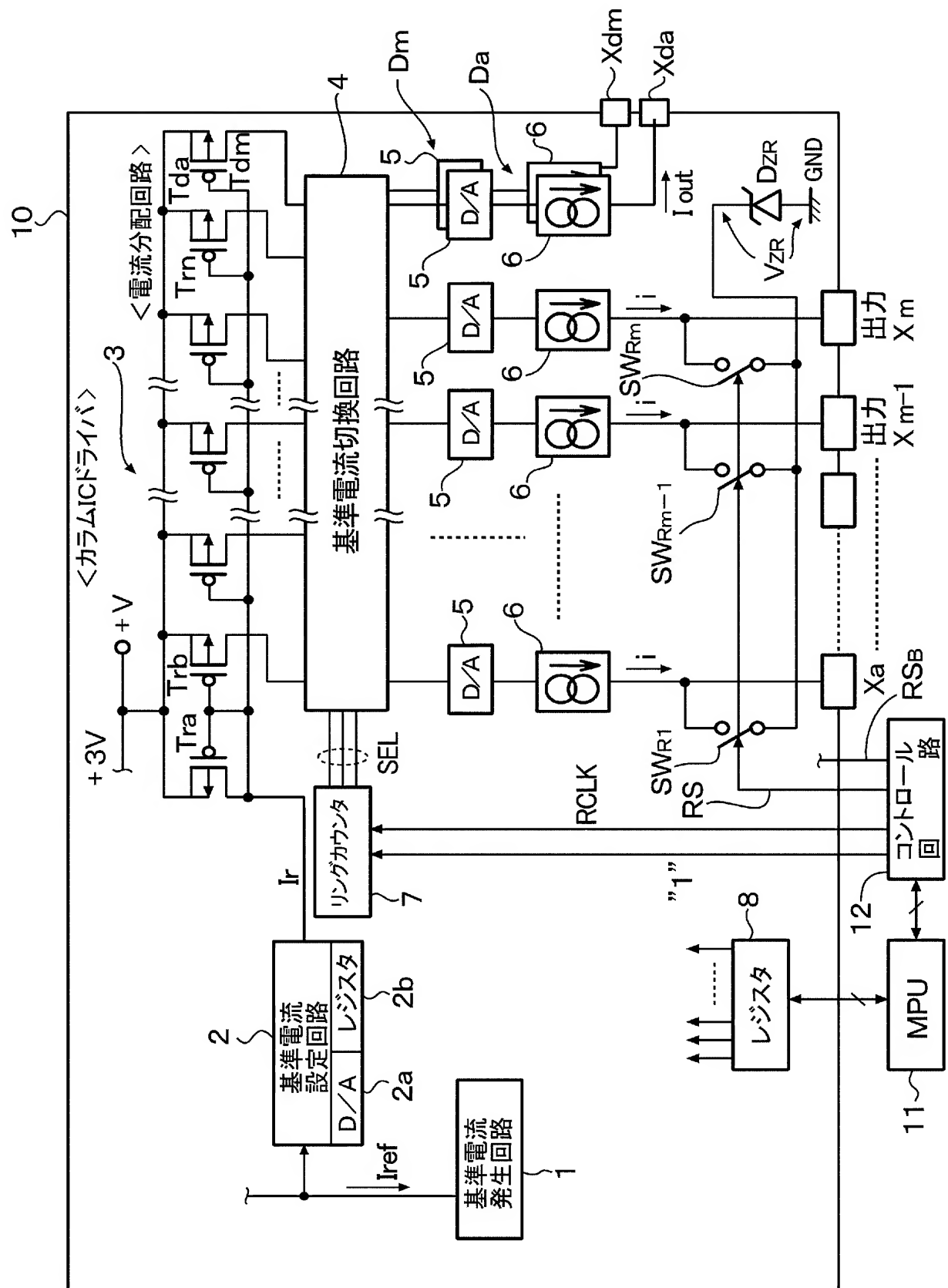
[図2]



[図3]



[図4]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005124

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G09G3/30, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G09G3/30, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-255880 A (Semiconductor Energy Laboratory Co., Ltd.), 10 September, 2003 (10.09.03), Par. Nos. [0033] to [0060]; Figs. 1 to 2 & US 2004/0008072 A1	1-11
Y	JP 2003-228333 A (Semiconductor Energy Laboratory Co., Ltd.), 15 August, 2003 (15.08.03), Par. Nos. [0044] to [0082], [0109] to [0167]; Figs. 1 to 6 & US 2003/0071576 A1	1-11

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

20 June, 2005 (20.06.05)

Date of mailing of the international search report

05 July, 2005 (05.07.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005124

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-288045 A (Rohm Co., Ltd.), 10 October, 2003 (10.10.03), Par. Nos. [0012] to [0013]; Fig. 1 & US 2003/0184236 A1	1-11
Y	JP 2003-271097 A (Asahi Kasei Microsystems Co., Ltd.), 25 September, 2003 (25.09.03), Par. No. [0025] & WO 2003/019516 A1 & US 2004/0008074 A1	10

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. <sup>7</sup> G09G3/30, 3/20			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. <sup>7</sup> G09G3/30, 3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP 2003-255880 A (株式会社半導体エネルギー研究所), 2003.09.10, 段落【0033】～【0060】, 【図1】～【図2】 & US 2004/0008072 A1	1-11	
Y	JP 2003-228333 A (株式会社半導体エネルギー研究所), 2003.08.15, 段落【0044】～【0082】, 【0109】～【0167】, 【図1】～【図6】 & US 2003/0071576 A1	1-11	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 20.06.2005		国際調査報告の発送日 05.7.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広 電話番号 03-3581-1101 内線 3226	2G 9509

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-288045 A (ローム株式会社), 2003. 10. 10, 段落【0012】～【0013】, 【図1】 & US 2003/0184236 A1	1-11
Y	JP 2003-271097 A (旭化成マイクロシステム株式 会社), 2003. 09. 25, 段落【0025】 & WO 2003/019516 A1 & US 2004/0008074 A1	10